

PCT/JP 2004/016271

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

04.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 1 月    4 日  
Date of Application:

REC'D 23 DEC 2004

出 願 番 号            特 願 2 0 0 3 - 3 7 4 1 9 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 7 4 1 9 0 ]

WIPO

PCT

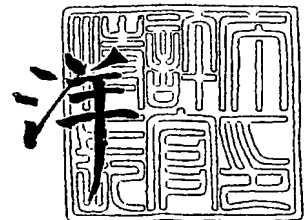
出      願      人            エルメック株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号    出証特 2 0 0 4 - 3 1 1 2 4 9 5

【書類名】 特許願  
【整理番号】 E165  
【あて先】 特許庁長官殿  
【国際特許分類】 H01P 9/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市高津区溝口二丁目 1 7 番 3 5 号 エルメック株式  
                        会社内  
    【氏名】 亀谷 雅明  
【特許出願人】  
    【識別番号】 000103253  
    【氏名又は名称】 エルメック株式会社  
【代理人】  
    【識別番号】 100085578  
    【弁理士】  
    【氏名又は名称】 斎藤 美晴  
【手数料の表示】  
    【予納台帳番号】 007342  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0012079

**【書類名】 特許請求の範囲****【請求項 1】**

複数のインダクタを直列接続してなるインダクタンス素子と、それらの接続点に梯子型に接続された容量とから複数の区間を有してなる集中定数型電磁遅延線の当該インダクタンス素子において、

前記電磁遅延線の前記インダクタはスパイラル状に形成され、1区間分の前記インダクタは、第1および第2のインダクタに平面的に分離して配置された区間と分割されない区間とが交互に縦続接続されてなり、前記第1のインダクタは1つ前の区間の分割されない前記インダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続され、当該区間の前記第2のインダクタは1つ後の分割されない区間の前記インダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続されてなることを特徴とする電磁遅延線のインダクタンス素子。

**【請求項 2】**

平面的に分割されない前記区間と、この区間を挟んだ前後の平面的に分割された前記区間との間で形成された2区間分の前記インダクタが、正結合されるよう上下の位置関係で配置された構成を1個のインダクタンスユニットとし、これらインダクタンスユニットが複数縦続接続されるとともに、隣合う前記インダクタンスユニットが第1、第2、…の仮想線に分散配置されてなる請求項1記載の電磁遅延線のインダクタンス素子。

【書類名】 明細書

【発明の名称】 電磁遅延線のインダクタンス素子

【技術分野】

【0001】

本発明は電磁遅延線のインダクタンス素子に係り、特に、コンピュータ等の電子機器において電気信号を遅延する集中定数型の超小型電磁遅延線に用いるインダクタンス素子の改良に関する。

【背景技術】

【0002】

コンピュータ等の電子機器に用いられる超小型電磁遅延線としては、遅延時間が1 n S以下の場合、マイクロストリップ線路を用いると、シンプルな構造のものが容易に実現できる。

【0003】

ところが、それ以上の遅延時間を実現するためには、遅延時間に比例してマイクロストリップ線路の線路長をより長くする必要が生じ、マイクロストリップ線路の直流抵抗値が増大するので、信号の減衰が大きくなって実用化が困難となり易い。

【0004】

そこで、遅延時間が1 n Sを越える特性の得られる電磁遅延線としては、たとえば図4に示すような分布定数型の構成が提案されている。

【0005】

すなわち、小さな方形の絶縁体基板1の片面にスパイラル状のインダクタンス素子3を厚膜印刷等で形成し、同形状の別の絶縁体基板5の片面にグランド電極7を形成し、その絶縁体基板1を介してインダクタンス素子3とグランド電極7が対面するよう絶縁体基板1、5を重ねる一方、同形状の更に別の絶縁体基板9の片面に外部接続パターン11を形成してこれを絶縁体基板1に重ね、絶縁体基板9の中央部にて外部接続パターン11からビアホール（スルーホール）13を介してスパイラル状のインダクタンス素子3の中心側接続パッドS1に接続してなる構成である。特許文献1はこの種のものである。

【0006】

なお、スパイラル状のインダクタンス素子3の外周側先端T1は絶縁体基板9の縁部に延び、外部接続パターン11とともに入出力電極として機能している。

【0007】

このような構成の電磁遅延線は、インダクタンス素子3が絶縁体基板1を介してグランド電極7と対面して分布容量が形成され、インダクタンス素子3とその分布容量によって分布定数型電磁遅延線として機能する。

【0008】

もっとも、この構成の電磁遅延線は、上述したマイクロストリップ線路よりも導体の単位長さ当たりのインダクタンス分が大きく、マイクロストリップ線路よりも遅延時間当たりの直流抵抗値が少なくなる利点がある。え、構造もシンプルであるが、遅延特性はマイクロストリップ線路より劣ることが指摘されている。

【0009】

さらに、インダクタンス素子3の巻数を増して遅延時間の増加を図ると、遅延特性の劣化が大きくなるので、特にチップ状の超小型遅延線として実用になるのは2 n S程度である。

【0010】

このような観点から、大きな遅延時間を得るためには集中定数型の電磁遅延線が好適する。

【0011】

集中定数型の電磁遅延線としては、図示はしないが、遅延時間30 n S程度以上では磁性体ボビンに、それより少ない遅延時間では非磁性体ボビンに導線を所定数巻いてなるインダクタLを複数直列接続し、その接続点に容量Cを梯子型に縦続接続してなる構成が良

く知られており、等価回路が図5のように示される。

【0012】

このような集中定数型の電磁遅延線では、一般に、複数のインダクタLが物理的に一定の間隔を置いて配置されるので、各区間のインダクタL間には必ず電磁的結合が存在する。

【0013】

それらの結合は、奇数次で結合するインダクタL間の結合係数 $a_1$ 、 $a_3$ 、…が正で、偶数次で結合するインダクタL間の結合係数 $a_2$ 、 $a_4$ 、…が負であることが望ましく、結合係数の値は $a_1$ が0.17程度、 $a_2$ が-0.028程度、 $a_3$ が0.012程度、更に、その絶対値は $a_1$ が最も大きく、次数の増加と共に最適値も小さくなることが知られている。遅延特性への影響は、隣合うインダクタL間の結合係数 $a_1$ が最も大きく、 $a_2$ 、 $a_3$ 、…の順で小さくなる。

【0014】

そのため、集中定数型の電磁遅延線では、そのようなインダクタL間の結合状態が得られるように、磁性体ボビン又は非磁性体ボビンを配置する必要がある。

【特許文献1】特開平5-29819号

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、たとえばチップ状にしてサイズの超小型化を図る場合、又は一層の小型化を図って半導体素子基板上に半導体素子と共存させるような電磁遅延線を構成するには、磁性体ボビン又は非磁性体ボビンに導線を巻いたインダクタLを直列接続する構成では、形状が大きくなり過ぎて実用化に適さず、絶縁体基板の片面に、厚膜印刷その他公知の手段でスパイラル状のインダクタを平面的に複数形成する構成に頼らざるを得ない。

【0016】

ところが、スパイラル状のインダクタを絶縁基板の片面に平面的に複数形成して電磁遅延線用のインダクタンス素子を形成すると、各区間の結合状態が上述した好ましい状態にならず、所望の遅延特性を達成し難い難点がある。

【0017】

すなわち、スパイラル状のインダクタを平面的に複数形成して直列接続したインダクタンス素子では、同じ平面上に並べて配置された隣合うインダクタ間の結合係数は、どんなに接近させても、結合係数を0.05以上にすることが極めて困難であり、上述した結合係数 $a_1$ の最適値0.17よりもはるかに少ない値しか得られない。

【0018】

しかも、遅延特性には結合係数 $a_1$ の値が最も影響するので、結合係数 $a_1$ の値が0.05程度では遅延特性の改善はほとんど期待できない。

【0019】

もっとも、2つのスパイラル状のインダクタを絶縁基板の両面に上下に重ねて配置すれば、大きい結合係数 $a_1$ が得られるが、この場合は逆に結合係数が大きすぎる問題が生じる。

【0020】

たとえば、1mm角領域に2ターンのスパイラル状のコイルを構成し、これを上下に配置した場合の結合係数は、間隔が0.05mmでは結合係数が約0.6と大きくなり、上述した0.17程度にするには約0.35mmの間隔にする必要がある。換言すれば、厚み0.35mmの絶縁体基板の両面に、隣合う区間のスパイラル状のコイルを形成する必要がある。

【0021】

しかし、チップ状の集中定数型遅延線を構成する場合、必要とする容量も絶縁体基板を使用して形成することになるうえ、これをスパイラル状コイルの形成された絶縁体基板に重ねて構成することになり、厚が0.35mmの絶縁体基板を使用すると全体が厚い多層

構造となり、超小型の例えばチップ電子部品としてまとめるのは困難であった。

#### 【0022】

そこで、本発明者は、種々の実験検討を行った結果、集中定数型電磁遅延線の1区間を形成する一部のインダクタを第1と第2のスパイラル状インダクタに平面的に分離し、隣合う区間の間では、前の区間の第2のインダクタを1つ後の区間におけるインダクタと正結合になるように上下の位置関係に配置し、当該前の区間の第1のインダクタを更に1つ前の区間におけるインダクタと正結合になるように上下の位置関係に配置し、これらの関係が連続的になるように各区間のインダクタを配置すれば、上述した集中定数型電磁遅延線の好ましい結合状態が得られることが分かった。

#### 【0023】

本発明はそのような課題を解決するためになされたもので、超小型化が容易であるうえ、各区間を好ましい結合状態にすることも容易で、所定の単位面積当たりの遅延時間を大きくでき、所望の遅延特性が簡単に得られる集中定数型電磁遅延線の提供を目的とする。

#### 【課題を解決するための手段】

#### 【0024】

そのような課題を解決するために本発明は、複数のインダクタを直列接続してなるインダクタンス素子と、それらの接続点に梯子型に接続された容量とから複数の区間を有してなる集中定数型電磁遅延線の当該インダクタンス素子において、その電磁遅延線のインダクタはスパイラル状に形成され、1区間分のそれらインダクタは、第1および第2のインダクタに平面的に分離して配置された区間と分割されない区間とが交互に縦続接続されてなり、その第1のインダクタは1つ前の区間の分割されないインダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続され、当該区間のその第2のインダクタは1つ後の分割されない区間のインダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続されて構成されている。

#### 【0025】

そして、本発明では、平面的に分割されない上記区間と、この区間を挟んだ前後の平面的に分割された上記区間との間で形成された2区間分のインダクタが正結合されるよう上下の位置関係で配置された構成を1個のインダクタンスユニットとし、これらインダクタンスユニットを複数縦続接続するとともに、隣合うそれらインダクタンスユニットを第1、第2、…の仮想線に分散配置する構成も可能である。

#### 【発明の効果】

#### 【0026】

そのような本発明によれば、電磁遅延線の1区間分の各インダクタがスパイラル状に形成され、1区間分のそれらインダクタが、第1および第2のインダクタに平面的に分離して配置された区間と分割されない区間とが交互に縦続接続され、その第1のインダクタが1つ前の区間の分割されないインダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続され、当該区間のその第2のインダクタが1つ後の分割されない区間のインダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続された構成となっているから、集中定数型電磁遅延線の超小型化が容易で、各区間の間の結合状態を好ましい状態にすることが容易であるうえ、所定の単位面積当たりの遅延時間を大きくでき、所望の遅延特性が簡単に得られる。

#### 【0027】

そして、2区間分の上記インダクタが正結合されるよう上下の位置関係で配置された構成を1個のインダクタンスユニットとするとともにこれら複数を縦続接続し、隣合うそれらインダクタンスユニットを第1、第2、…の仮想線に分散配置する構成では、好ましい結合係数を得ながら多数の区間形成が容易で、大きい遅延時間を実現できる。

#### 【発明を実施するための最良の形態】

#### 【0028】

以下、本発明に係る電磁遅延線のインダクタンス素子の実施の形態について、図面を参照して説明する。従来例と共通する部分には同一を符号を付す。

## 【0029】

図1および図2は、本発明に係るインダクタンス素子の実施の形態を示す分解斜視図およびその等価回路である。

## 【0030】

図1において、第1の絶縁体基板15は、公知の誘電体から細長い薄板状に形成されており、その片面（上面）に3つのインダクタL0B、L4A、L4Bが形成されている。

## 【0031】

各インダクタL0B、L4A、L4Bは、方形スパイラル状にして交互に逆巻き方向に形成されるとともに、所定の間隔を置き、第1の絶縁体基板15の長手方向に直線的に配列されている。

## 【0032】

インダクタL0Bは、その外周側の先端が第1の絶縁体基板15の長手方向における一方の先端部の入力端子17に接続されており、その中心部側の先端部からビアホール19が第1の絶縁体基板15の対向面（下面）まで貫通形成されている。

## 【0033】

インダクタL0Bに隣合うインダクタL4Aと、更にこれと隣合うインダクタL4Bとは、互いに外周側の先端どうしが接続されており、インダクタL4A、L4Bの中心部側の先端からビアホール21、23が第1の絶縁体基板15の対向面まで貫通形成されている。

## 【0034】

第1の絶縁体基板15と同材料から同形状に形成された第2の絶縁体基板25は、その片面（上面）に3個のインダクタL1、L3、L5の一部が方形のスパイラル状に形成されるとともに、インダクタL0B、L4A、L4Bとほぼ同寸法にして同ピッチ間隔で形成されている。

## 【0035】

各インダクタL1、L3、L5は、交互に逆巻き方向に形成されるとともに、インダクタL0B、L4A、L4Bと領域的に重なるように形成されており、各々の外周側先端からビアホール27、29、31が第2の絶縁体基板25の対向面（下面）まで貫通形成されるとともに、中心部側の先端が接続パッドS2、S3、S4となっている。

## 【0036】

第1、2の絶縁体基板15、25と同材料から同形状に形成された第3の絶縁体基板33は、その片面（上面）に上述した3個のインダクタL1、L3、L5の残部が方形のスパイラル状に形成されるとともに、インダクタL0B、L4A、L4Bとほぼ同寸法にして同ピッチ間隔で形成されている。

## 【0037】

第3の絶縁体基板33上の各インダクタL1、L3、L5は、交互に逆巻き方向に形成されるとともに、第2の絶縁体基板25上のインダクタL1、L3、L5と領域的に重なるとともに正結合となるよう電氣的に同じ巻き方向に形成されており、各々の外周側先端が接続パッドS5、S6、S7となっており、中心部側の先端からビアホール35、37、39が第3の絶縁体基板33の対向面（下面）まで形成されている。

## 【0038】

すなわち、第2、第3の絶縁体基板25、33に形成されたインダクタL1とL1、L3とL3、L5とL5によって2層で構成され、後述するように1区間分の実質的なインダクタL1、L3、L5が形成される。

## 【0039】

第1～3の絶縁体基板15、25、33と同材料で同形状に形成された第4の絶縁体基板41は、その片面（上面）に3個のインダクタL2A、L2B、L6Aが方形のスパイラル状に形成されるとともに、インダクタL1、L3、L5とほぼ同寸法にして同ピッチ間隔で形成されている。

## 【0040】

各インダクタL2A、L2B、L6Aは、交互に逆巻き方向に形成されるとともに、第3の絶縁体基板33上のインダクタL1、L3、L5と領域的に重なりととも正結合となるよう電氣的に同じ巻き方向に形成されており、各々の中心部側の先端からビアホール43、45、47が第4の絶縁体基板41の対向面（下面）まで貫通形成されている。

#### 【0041】

インダクタL2Aに隣合うインダクタL2Bとは互いに外周側の先端どうしが接続されており、インダクタL2Bに隣合うインダクタL6Aは、その外周側の先端が、第4の絶縁体基板41の長手方向における他方の先端部に形成された出力端子49に接続されている。

#### 【0042】

第1の絶縁体基板15の各インダクタL0B、L4A、L4B、第2、第3の絶縁体基板25、33の各インダクタL1、L3、L5および第4の絶縁体基板41の各インダクタL2A、L2B、L6Aは、各々ほぼ同じ巻き数で、それら接続部分を含めて従来公知の手法で形成されており、第1～第4の絶縁体基板15、25、33、41は、所定の厚みたとえば厚さ0.1mmの絶縁体基板であるが、便宜上、厚みを省略して図示している。

#### 【0043】

第1、第2の絶縁体基板15、25は、その外形形状を合わせるようにして重ねられ、第1の絶縁体基板15を介してインダクタL0BとL1の一部、インダクタL4AとL3の一部、インダクタL4BとL5の一部が領域的に重なるようになっている。

#### 【0044】

インダクタL0Bの中心側がビアホール19を介してインダクタL1の接続パッドS2に接続され、インダクタL4Aの中心側がビアホール21を介してインダクタL3の接続パッドS3に接続され、インダクタL4Bの中心側がビアホール23を介してインダクタL5の接続パッドS4に接続されている。

#### 【0045】

第2の絶縁体基板25には第3の絶縁体基板33がその外形形状を合わせるようにして重ねられ、第2の絶縁体基板25を介してインダクタL1、L3およびL5の一部が、第3の絶縁体基板33上の残りのインダクタL1、L3およびL5が領域的に重なるようになり、互いのビアホール27、29、31を介して各々接続パッドS5、S6、S7に接続され、実質的な1区間分の各インダクタL1、L3およびL5が形成されている。

#### 【0046】

第3の絶縁体基板33には第4の絶縁体基板41がその外形形状を合わせるようにして重ねられ、第3の絶縁体基板33を介してインダクタL1の一部（残部）とL2A、インダクタL3の一部（残部）とL2B、インダクタL5の一部（残部）とL6Aが領域的に重なるようになっている。

#### 【0047】

しかも、インダクタL1がビアホール35を介してインダクタL2Aの中心側に接続され、インダクタL3がビアホール37を介してインダクタL2Bの中心側に接続され、インダクタL5がビアホール39を介してインダクタL6Aの中心側に接続され、本発明に係るインダクタンス素子Aが形成されている。

#### 【0048】

第1の絶縁体基板15において、各インダクタL0B、L4A、L4Bの中心側にはビアホール19、21、23近傍にて各々固定容量C1、C4、C5が接続される一方、第4の絶縁体基板41においても、各インダクタL2A、L2B、L6Aの中心側にはビアホール43、45、47近傍にて各々固定容量C2、C3、C6が接続されている。

#### 【0049】

それら各固定容量C1、C4、C5の他端どうしが共通接続される一方、各固定容量C2、C3、C6の他端どうしも共通接続され、複数区間を有する集中定数型の電磁遅延線



が構成されている。図2はその等価回路図である。

#### 【0050】

各固定容量C1、C4、C5や各固定容量C2、C3、C6は、たとえば第1～第4の絶縁体基板15、25、33、41と同様な別々の誘電体絶縁基板に容量電極とグランド共通電極を対面させるなど公知の手段で各々構成され、第1、第4の絶縁体基板25に重ねるようにして板状に一体化されるが、具体的な図示は省略する。

#### 【0051】

このような集中定数型の電磁遅延線は、第2、第3の絶縁体基板25、33のインダクタL1、第4の絶縁体基板41のインダクタL2AとL2B、第2、第3の絶縁体基板25、33のインダクタL3、第1の絶縁体基板15のインダクタL4AとL4B、第2、第3の絶縁体基板25、33のインダクタL5が各々1区間分のインダクタに相当し、第1、第4の絶縁体基板15、41の入出力側インダクタL0B、L6AがT型終端になって半区間の整合回路を形成している。

#### 【0052】

すなわち、インダクタンス素子Aは、交互に、各区間が平面的に分割されないインダクタL1、平面的に分割された第1のインダクタL2Aと第2のインダクタL2B、平面的に分割されないインダクタL3、平面的に分割された第1のインダクタL4Aと第2のインダクタL4B、平面的に分割されないインダクタL5が電氣的に縦続接続された構成となっている。

#### 【0053】

そして、この構成の電磁遅延線は、入力端子17から入力された信号が8個のインダクタL0B、L1(L1)、L2A、L2B、L3(L3)、L4A、L4A、L5(L5)、L6Aの順に通って出力端子25から出力されるようになっている。

#### 【0054】

次に、このような構成のインダクタンス素子Aの動作について説明する。

#### 【0055】

入力側の整合区間であるインダクタL0Bは続く区間のインダクタL1と正結合となっている。

#### 【0056】

インダクタL1の区間に続く区間のインダクタは、第4の絶縁体基板41に第1のインダクタL2Aと第2のインダクタL2Bに平面的に分離されて、第1のインダクタL2Aだけが前の区間のインダクタL1と上下の位置関係に配置されて正結合となっている。

#### 【0057】

他方、第2のインダクタL2Bは、第2、第3の絶縁体基板25、33に分けて2層形成されたインダクタL3との間で上下の位置関係で正結合となっており、第1の絶縁体基板15に第1のインダクタL4Aと第2のスパイラルインダクタL4Bに分離され、第1のインダクタL4AだけがインダクタL3との間で上下の位置関係で正結合となっている。

#### 【0058】

第2のスパイラルインダクタL4Bは、第2、第3の絶縁体基板25、33に分けて2層に形成されたインダクタL5と上下の位置関係に配置されて正結合となっており、インダクタL5の区間は続く区間の出力側のインダクタL6Aと上下の位置関係で正結合となっている。

#### 【0059】

まず、3つの2層構成のインダクタL1、L3、L5のうち中間のインダクタL3の区間に注目すると、インダクタL3は1つ前の区間の第2のインダクタL2Bと上下の位置関係で正結合となっている一方、1つ後の区間の第1のインダクタL4Aとも上下の位置関係で正結合となっている。

#### 【0060】

すなわち、本発明のインダクタンス素子Aは、平面的に分離しない区間を挟んで、分離

しない区間の前の区間の第2のインダクタと分離しない区間の後の区間の第1のインダクタの3個が正結合になるように上下の位置関係に配置されている。

#### 【0061】

インダクタL0BやL6Aは、平面的に分離された区間の第1又は第2のインダクタに相当すると考えることができるので、2層構成の他のインダクタL1、L5についても、インダクタL3と同様の関係に配置された状態となり、複数区間で構成される集中定数型遅延線は、そのような関係の連続構成となっている。

#### 【0062】

しかも、上述したインダクタンス素子Aでは、上下の関係にあるインダクタL0BとL1間、インダクタL1とL2A間、インダクタL2BとL3間、インダクタL3とL4A間、インダクタL4BとL5間、インダクタL5とL6A間が、分離されないインダクタとは約半分に分離されたインダクタ間の結合となるので、相互インダクタンスは分離されないどうしが上下関係にある場合の約半分に近くなり、結合係数も約半分となる。

#### 【0063】

そして、この構造で実現できる結合係数 $a_1$ は、上述した望ましい値に近くなり、インダクタにもよるが第1～第3の絶縁体基板15、25、33の厚みをたとえば0.05mmから0.15mm程度の範囲で調整すれば、正の理想的な値が得られる。

#### 【0064】

さらに、本発明のインダクタンス素子Aは、たとえば図1において、第1の絶縁体基板15から平面的に見た場合、インダクタL0B、L4A、L4Bの各パターン1個当たりの面積領域に2区間分のインダクタが収容された構成となっており、従来の構成がパターン1個当たり1区間分であったのに比較し、2倍の6区間が収容されている。

#### 【0065】

そのため、本発明のインダクタンス素子Aを集中定数型の電磁遅延線として超小型のチップ形状にすると、単位面積当たりの収容区間が2倍になるとともに、第1～第4の絶縁体基板15、25、33、41の厚みも薄く抑えることが可能で、その効果は大きい。

#### 【0066】

なお、上述した図1のインダクタンス素子Aの構成では、結合係数 $a_1$ が望ましい値となる一方で、結合係数 $a_2$ 、 $a_3$ も正結合となるが、遅延特性に最も影響の大きい結合係数 $a_1$ を最適状態にできるから、その効果は大きく、更に単位面積当たりの収容区間を2倍にできる点と相まって、結合係数 $a_2$ 、 $a_3$ が正結合となる影響をはるかに越える利点がある。

#### 【0067】

ところで、上述した図1のインダクタンス素子Aは、電磁遅延線の1区間分の各インダクタが第1～第4の絶縁体基板15、25、33、41の片面に形成され、それら第1～第4の絶縁体基板15、25、33、41が重ねられて第1～第3の絶縁体基板15、25、33を介して結合された構成であった。

#### 【0068】

しかしながら、本願発明のインダクタンス素子Aは、各区間分のインダクタを1枚の誘電体性絶縁体基板の対向面に形成する構成や、絶縁体基板の代わりに、たとえばCVD (Chemical Vapor Deposition) によって絶縁体膜を形成し、スパイラルインダクタも銅やアルミニウム材料からスツパリングで形成するなどの構成が可能で、絶縁体基板、絶縁体膜、又は絶縁体層などは必須ではない。

#### 【0069】

要は、電磁遅延線の各区間を形成するインダクタがスパイラル状に形成され、1区間分のそれらインダクタは、第1および第2のインダクタに平面的に分離して配置された区間と分割されない区間とが交互に縦続接続されてなり、その第1のインダクタは1つ前の区間の分割されないインダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続され、当該区間のその第2のインダクタは1つ後の分割されない区間のインダクタと正結合されるよう上下の位置関係に配置されるとともに直列接続されていれば良い。

## 【0070】

しかも、平面的に分割されない区間の上記インダクタは、正結合されるよう上下の位置関係で分割配置するとともに直列接続され、平面的に分割されない区間の上記インダクタのうち一方のインダクタは1つ前の区間の上記第2のインダクタと正結合されるよう上下の位置関係に配置するとともに直列接続され、当該区間の他方のインダクタは1つ後の平面的に分割された区間の上記第2のインダクタと正結合されるよう上下の位置関係に配置するとともに直列接続される構成とすれば、同一形状のインダクタL0B～L6Aや、同一形状の第1～第4の絶縁体基板15、25、33、41を用いてインダクタンス素子Aや電磁遅延線を形成することが容易で、構造や製造が簡単となる。

## 【0071】

さらに、本発明のインダクタンス素子Aにおいて、各区間を形成するスパイラル状のインダクタL0B～L6Aは、複数ターンで形成する場合に限定されない。

## 【0072】

超小型遅延線で小さい遅延時間を実現する場合は、ターン数を減少することが必要となる場合もあり、それらインダクタL0B～L6Aを1ターン又は1ターン未満で形成することも可能であり、逆に、大きい遅延時間を実現する必要がある場合には、インダクタL0B～L6Aの巻き数を多くする必要がある。

## 【0073】

そのような場合において、巻き数を多くするための面積が得られないときは層数を増加する必要がある。すなわち、平面的に分割される区間のインダクタは1層に限らず直列接続された2層以上の多数層構成にできるし、平面的に分割されない区間のインダクタも1層又は2層以上の多数層に増減可能である。

## 【0074】

要は、分割される区間の一方のインダクタンス値が、分割されない区間のインダクタンス値の約半分になるよう構成されればよく、たとえば分割される区間のインダクタの巻き数が各々半ターンで、分割されない区間の巻き数が1ターンの場合、分割されない区間も1層でよいことになる。

## 【0075】

また、上述したインダクタンス素子Aは6区間構成となっていたが、電磁遅延線を電子部品として商品化する場合は10区間程度とするのが一般的であり、たとえば以下に示すように、本発明のインダクタンス素子Aの区間数を増減すればよい。

## 【0076】

図3は、本発明に係るインダクタンス素子Aの他の実施の形態を示す概略平面図である。

## 【0077】

図3において、符号U1、U2、U3、U4、U5、U6は、図1の第1～第4の絶縁体基板15、25、33、41に形成されたインダクタL0B～L6Aを、第1の絶縁体基板15側から平面的に見た状態のインダクタンスユニットを示している。

## 【0078】

すなわち、インダクタンスユニットU1は、図1の第1～第4の絶縁体基板15、25、33、41に形成されたインダクタL0B、L1(L1)、L2Aを1ユニットとし、インダクタンスユニットU2はインダクタL4A、L3(L3)、L2Bを1ユニットとし、インダクタンスユニットU3はインダクタL4B、L5(L5)、L6Aを1ユニットとしたものである。

## 【0079】

インダクタンスユニットU4、U5、U6も、各々インダクタンスユニットU1、U2、U3に相当して同様に構成されたものである。

## 【0080】

そして、図3(1)に示す構成は、上述した図1に示す構成をインダクタンスユニットU1～U3で示したもので、インダクタンスユニットU1～U3を1方方向に直線的に縦

続接続した構成となっている。

【0081】

これに対して、図3(2)に示す構成は、インダクタンスユニットU1～U6が、第1の仮想線Pと、これに所定の間隔を置いて平行に位置する第2の仮想線Q上に交互にジグザグ状に配置され、第1～第4の絶縁体基板15、25、33、41と同材料からなり寸法の大きな第1～第4の絶縁体基板(図示せず。)に縦続接続して構成されたものであり、インダクタL0B～L6A又はこれ相当のインダクタは図1と同様に形成されている。

【0082】

さらに、図3(3)に示す構成は、インダクタンスユニットU1を第1の仮想線P上に配置し、インダクタンスユニットU2、U3を第2の仮想線Q上に配置し、続くインダクタンスユニットU4、U5を第1の仮想線P上に配置し、インダクタンスユニットU6を第2の仮想線Q上に配置し、それらを寸法の大きな第1～第4の絶縁体基板(図示せず。)に縦続接続構成したものである。

【0083】

すなわち、第1、第2の仮想線P、Q上に2個ずつ矩形状に配置するとともに、入力端側と出力端側では1個ずつ配置したものである。

【0084】

そのような図3(1)～(3)に示す構成では、入力された電気信号は矢印の順にインダクタンスユニットU1～U3又はU1～U6を経て出力され、図3(1)の構成では2区間のインダクタが3個縦続接続された6区間構成となり、図3(2)や(3)の構成では2区間のインダクタが6個縦続接続された12区間構成となる。

【0085】

このようなインダクタンス素子Aを用いて電磁遅延線を構成した場合、上述したような好ましい結合係数を得ながら、6区間や12区間構成といった多数の区間形成が容易で、大きい遅延時間を実現できる。

【0086】

ところで、図1に示すインダクタL0B～L6Aを用いるインダクタンスユニットU1～U6では、インダクタL0B～L6Aの巻線方向がインダクタンスユニットU1とU2では逆方向に、インダクタンスユニットU2とU3も逆方向となるが、インダクタンスユニットU1～U6の全てを同じ方向にするよう、インダクタL0B～L6Aを形成可能である。

【0087】

その場合、インダクタンスユニットU1、U2間や、U2、U3間の結合が負となるので、インダクタの巻回数が同じ場合には図1の構成よりも遅延時間が減少するが、その代わりに結合係数 $a_2$ について正の値も減少する。

【0088】

本来、結合係数 $a_2$ は負の値が望ましいが、その符号が正の場合はその値が少ない方が望ましいので遅延時間が減少するが、その代わりに遅延特性の方が改善される。

【0089】

なお、本発明では、インダクタンスユニットU1～U6を第1、第2、第3…の仮想線に分散配置する構成も可能である。

【図面の簡単な説明】

【0090】

【図1】本発明に係る電磁遅延線のインダクタンス素子の実施の形態を電磁遅延線とともに示す分解斜視図である。

【図2】図1に示す電磁遅延線の等価回路である。

【図3】本発明に係るインダクタンス素子の他の実施の形態を示す概略平面図である。

。

【図4】従来の分布定数型遅延線を示す分解斜視図である。

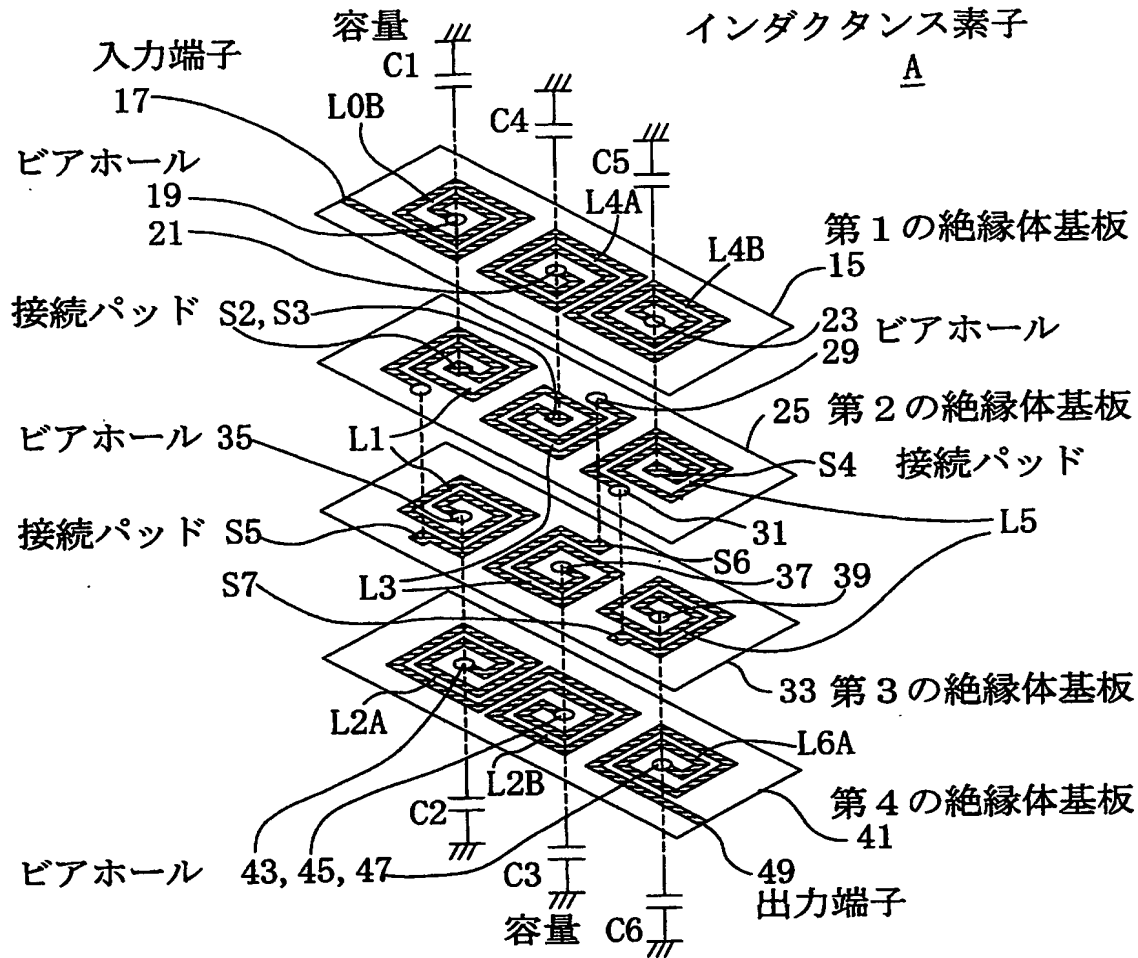
【図5】集中定数型遅延線の一般的な等価回路図である。

## 【符号の説明】

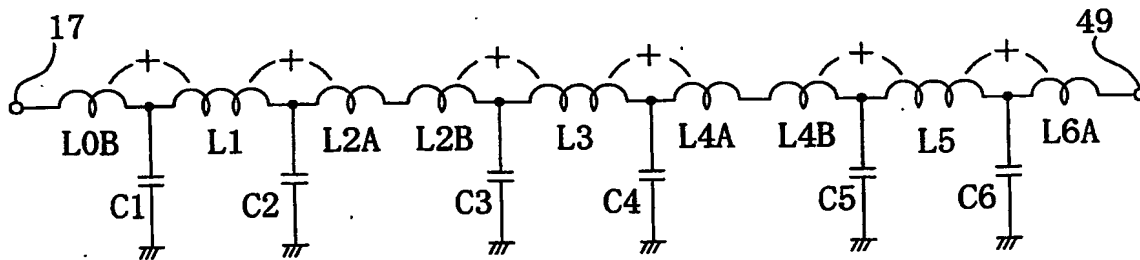
## 【0091】

- 1、5、9 絶縁体基板
- 3、A インダクタンス素子
- 7 グランド電極
- 11 外部接続パターン
- 13、19、21、23、27、29、31、35、37、39、43、45、47 ビアホール (スルーホール)
- 15 第1の絶縁体基板
- 17 入力端子
- 25 第2の絶縁体基板
- 33 第3の絶縁体基板
- 41 第4の絶縁体基板
- 49 出力端子
- C、C1、C2、C3、C4、C5、C6 容量 (固定容量)
- L、L0B、L1、L3、L5、L6A インダクタ
- L2A、L4A インダクタ (第1のインダクタ)
- L2B、L4B インダクタ (第2のインダクタ)
- Q 第1の仮想線
- P 第2の仮想線
- S1、S2、S3、S4、S5、S6、S7 接続パッド
- T1 先端
- U1、U2、U3、U4、U5、U6 インダクタンスユニット

【書類名】図面  
【図 1】

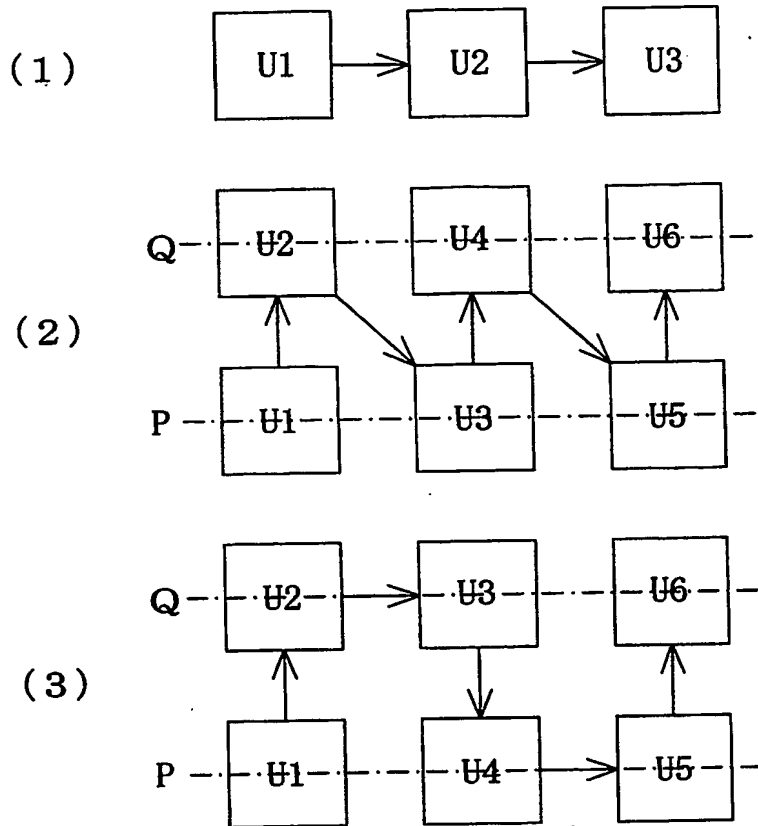


【図 2】

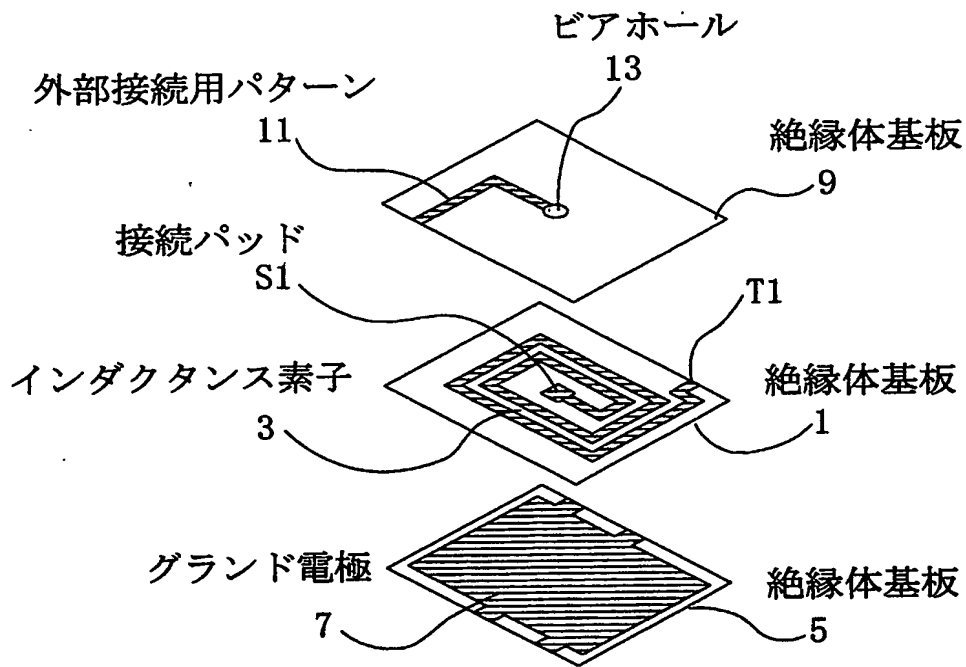


【図 3】

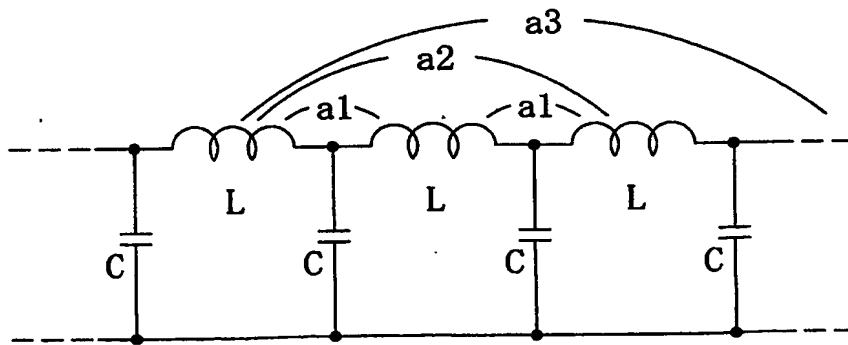
インダクタンス素子 A



【図 4】



【図 5】





## 【書類名】 要約書

## 【要約】

【課題】 集中定数型電磁遅延線において、チップ状の超小型化が容易で、各区間を好ましい結合状態にして所望の遅延特性が簡単に得られるようにする。

【解決手段】 第1の絶縁基板15にスパイラル状のインダクタL0B、L4A、L4Bを形成し、インダクタL4AとL4Bを直列接続する。第2、第3の絶縁基板22、33にスパイラル状のインダクタL1、L3、L5を形成する。第4の絶縁基板41にスパイラル状のインダクタL2A、L2B、L6Aを形成し、インダクタL2A、L2Bを直列接続する。第1～第4の絶縁基板15～41を重ね、インダクタL0B～L6Aを縦続接続する。インダクタL2AとL2B、L4AとL4Bを平面的に2分割して1区間を形成し、平面的に分割されない前後の区間と正結合させる。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願 2003-374190
受付番号	50301819947
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年11月 5日

&lt;認定情報・付加情報&gt;

【提出日】 平成15年11月 4日

特願 2 0 0 3 - 3 7 4 1 9 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 0 3 2 5 3 ]

1. 変更年月日

2 0 0 0 年 8 月 1 0 日

[変更理由]

住所変更

住 所

神奈川県川崎市高津区溝口二丁目 1 7 番 3 5 号

氏 名

エルメック株式会社